

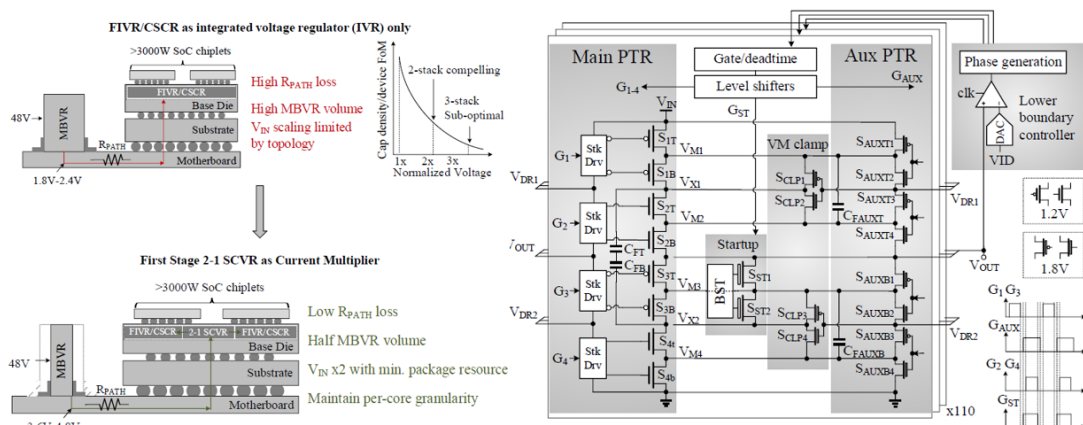
2026 VLSI Review

성균관대학교 반도체융합공학과 석사과정 이승언

Session 2 High-Voltage-Ratio and Scalable Power Delivery

이번 VLSI 2026의 Session C2는 데이터센터 및 xPU 시스템의 전원 공급을 주제로 한 고 집적 DC-DC 컨버터 설계를 다루었다. AI 프로세서의 소비 전력이 급격히 증가하면서, 낮은 출력 전압에서 대전류를 공급할 때 전달 경로에서 발생하는 손실과 패키지 자원 부담을 줄이는 것이 공통된 과제로 부각되고 있다. 이를 위해 전력을 높은 전압으로 소자 근처까지 전달하는 vertical power delivery, 그리고 여러 컨버터와 IC를 확장해 대전류를 감당하는 scalability가 이번 세션을 관통하는 설계 화두로 자리잡고 있음을 잘 보여준다.

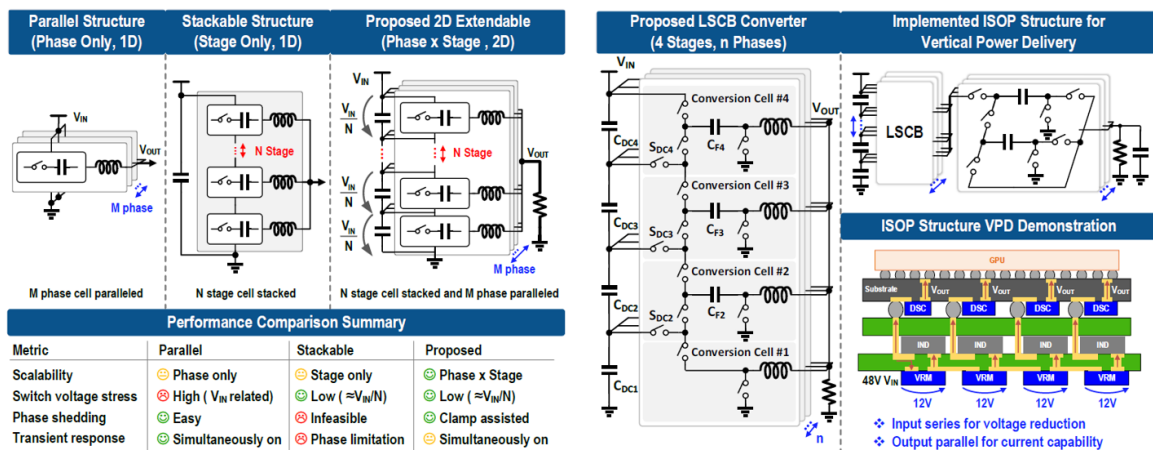
#C2-1 은 미국 Intel에서 발표한 논문으로, SoC 전원 트리에 monolithic 2-1 SCVR을 first-stage current multiplier로 삽입하는 구조를 제안한다. 기존에는 MBVR 출력(1.8~2.4V)이 곧바로 FIVR/CSCR로 전달되었으나, 그 사이에 2-1 SCVR을 두어 MBVR 출력 전압을 3.6~4.8V로 두 배 높일 수 있게 한 것이 핵심이다. 이를 통해 동일 전력에서 MBVR이 공급하는 전류가 절반으로 줄어 R_{PATH} 손실과 MBVR 부피, 패키지 자원 부담을 함께 낮춘다. 저전압 소자만 지원하는 공정 제약 하에서 고입력전압을 감당하기 위해 stacked-device 구조를 채택하며, 이때 발생하는 drive voltage 생성과 stacked-device 구동 손실, startup dead zone 문제를 auxiliary power train과 bootstrapped startup cell로 해결한다. 16nm급 공정에서 110개 모듈로 구현되어 3.6V 입력에서 94.8% peak efficiency를, 4.8V 입력 33A 부하에서 20W/mm² 전력 밀도와 84.4% 효율을 달성하며, monolithic fixed-ratio SCVR 중 가장 높은 peak efficiency와 전력 밀도를 보여준다.



[그림 1] 기존 구조와 제안하는 first-stage 2-1 SCVR current multiplier 구조 및 시스템 구성

#C2-2는 중국 Tsinghua 및 마카오 대학에서 발표한 논문으로, 48V를 1V로 변환하는 ladder-series-capacitor buck(LSCB) 컨버터를 제안한다. 기존 병렬 구조는 입력 전압이 높을수록 스위치 전압 스트레스가 커지고, 스택형 SC 구조는 conversion ratio 범위가 좁으며 idle 상태에서 일부 phase를 끌 때 flying-capacitor 전압이 유지되지 않아 phase shedding이 어렵다는 한계가 있다. 제안 구조는 phase 병렬과 stage 스택을 하나의 구조에서 동시에 지원해, 스위치 전압 스트레스를 V_{IN}/N 으로 낮추면서 출력 전류를 확장할 수 있는 것이 핵심이다. 이때 idle 상태에서는 DC 커패시터가 각 flying-capacitor 전압을 클램핑해 phase shedding과 빠른 과도 응답을 가능하게 한다.

나아가 이 구조를 단일 모듈로 쓰지 않고 3:1 Dickson SC와 cascade한 ISOP 구성으로 확장해 vertical power delivery를 구현하였다. LSCB는 180nm BCD, Dickson SC는 65nm 공정으로 구현되었으며, 단상 LSCB에서 91.2% peak efficiency를, 2상 LSCB의 20A 출력에서 87.6% 효율을, ISOP 시스템에서 최대 25A 출력과 2132W/in³ 전력 밀도를 달성한다.

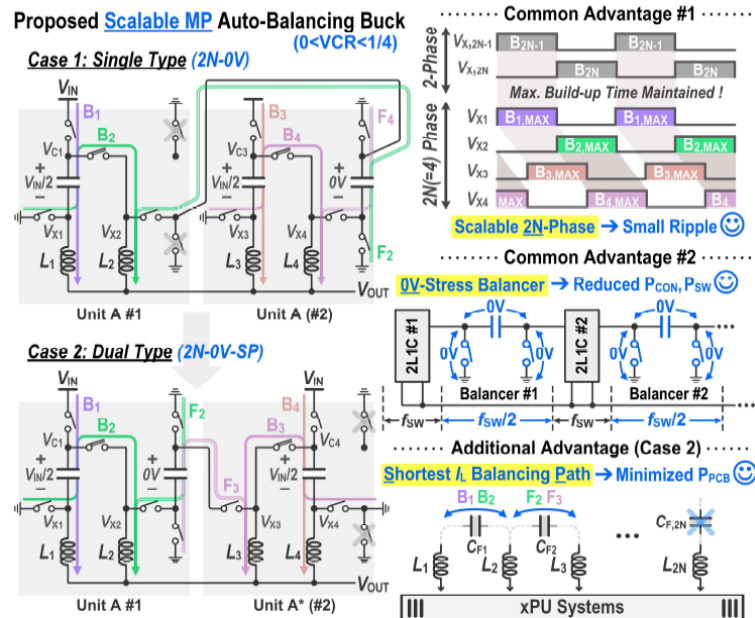


[그림 2] 제안한 2D 확장형 LSCB 컨버터와 vertical power delivery를 위한 ISOP 구조

#C2-3은 대한민국 서강대학교에서 발표한 논문으로, xPU 시스템의 병렬 IC 확장을 위한 scalable 2N-phase buck 컨버터를 제안한다. 커패시터 기반 IL balancing을 사용하는 기존 multi-phase buck은 인덕터를 추가할수록 VCR이 $0 < VCR < 1/N^2$ 로 제약되어 phase 확장이 어렵고, 이를 개선한 이전 scalable auto-balancing buck은 VCR 제약을 피하려 2-phase로 제한되어 출력 리플이 크며 first와 last 인덕터를 잇는 end-to-end balancing 경로 탓에 PCB 트레이스 길이와 도통 손실이 증가하는 한계가 있다.

제안하는 2N-0V-SP는 인접한 2L1C 단위를 커패시터 하나와 스위치 두 개로 연결하는 0V-stress balancer를 도입하여, 기존이 build-up duty 구간에서만 IL을 balancing하던 것과 달리 전체 주기에 걸쳐 balancing함으로써 인덕터를 늘려도 VCR 범위를 $0 < VCR < 1/4$ 로 유지한 채 phase를 2N으로 확장하고 interleaving으로 출력 리플을 낮춘다. 또한 좌우 대칭 단위를 교대 배치해 인접 인덕터를 직선으로 연결하는 최단 balancing 경로를 구성함으로써 PCB 트레이스 길이와 도통 손실을 추가로 줄인다. 4-phase 프로토타입에서

1.0V 89.2%, 1.2V 90.4%의 peak efficiency를 달성하여 인접 IL balancing과 phase 확장성을 동시에 자동으로 만족하는 구조임을 보여준다.



[그림 3] 제안한 2N-0V-SP buck 컨버터의 구조와 기존 구조 대비 장점

저자정보



이승언 석사과정 대학원생

- 소속 : 성균관대학교
- 연구분야 : Power Management ICs
- 이메일 : se38lee@g.skku.edu
- 홈페이지 : <https://sites.google.com/view/ecslab>